

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-282984
 (43)Date of publication of application : 07.10.1994

(51)Int.Cl.

G11C 11/406
G06F 1/32
G06F 12/00

(21)Application number : 05-065555

(71)Applicant : TEXAS INSTR INC <TD>

(22)Date of filing : 24.03.1993

(72)Inventor : PATEL VIPUL C
BROWN DAVID R
TSO JIM C

(30)Priority

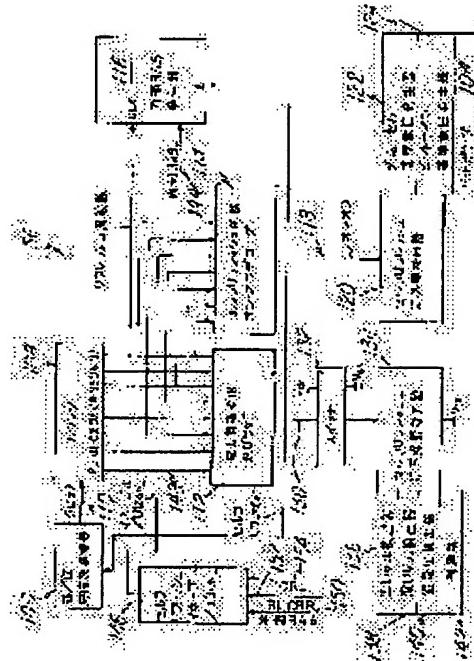
Priority number : 92 857034 Priority date : 24.03.1992 Priority country : US

(54) DEVICE AND METHOD FOR MANAGING POWER OF DRAM BY SELFREFRESH

(57)Abstract:

PURPOSE: To provide a DRAM system in which power consumption is reduced up to a maximum.

CONSTITUTION: A DRAM 30 is provided with a power managing circuit 56 for removing power from a circuit group 134 on the DRAM, which is not required for self-refresh, and timewise relatively turning off another circuit group 120 required for self-refresh in a refresh cycle. This power managing circuit 56 is provided with a counter 108 and simple decoder circuits 112 and 114 for decoding the binary output of this counter.



LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(2)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-282984

(43)公開日 平成6年(1994)10月7日

| (51)Int.Cl.* | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|----------------|---------|---------|-------------------------------|---------|
| G 1 1 C 11/406 | | | | |
| G 0 6 F 1/32 | | | | |
| 12/00 | 5 5 0 B | 9366-5B | | |
| | | 6866-5L | G 1 1 C 11/ 34 | 3 6 3 F |
| | | 7165-5B | G 0 6 F 1/ 00 | 3 3 2 Z |
| | | | 審査請求 未請求 請求項の数 2 O L (全 15 頁) | |

(21)出願番号 特願平5-65555

(22)出願日 平成5年(1993)3月24日

(31)優先権主張番号 857034

(32)優先日 1992年3月24日

(33)優先権主張国 米国(US)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 ピブル シー. バテル

アメリカ合衆国テキサス州ヒューストン,
ヴィルクレスト 11215, アパートメント
ナンバー 808

(74)代理人 弁理士 浅村 哲 (外2名)

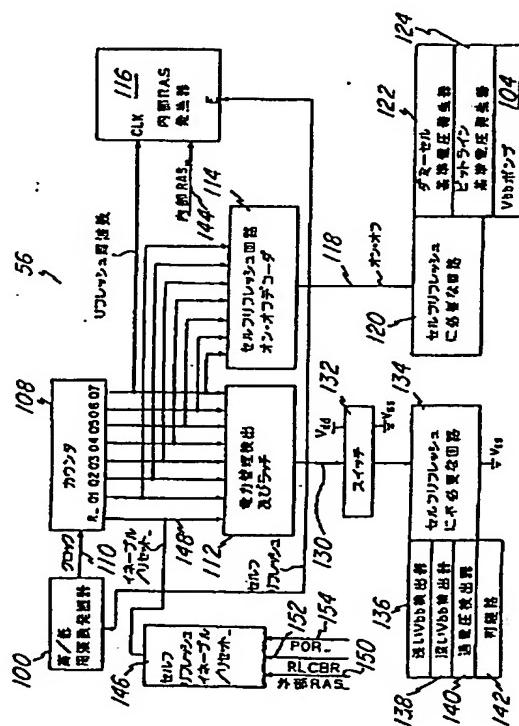
最終頁に続く

(54)【発明の名称】セルフリフレッシュによるDRAMの電力管理装置および方法

(57)【要約】

【目的】電力消費を極限まで削減したDRAMシステムを提供する。

【構成】DRAM30は、セルフリフレッシュのために必要でないDRAM上の回路群134から電力を取り去り、セルフリフレッシュのために必要な他の回路群120をリフレッシュサイクルに時間的に相対的にターンオン・オフさせる電力管理回路56を備えている。前記電力管理回路56はカウンタ108と、前記カウンタの2進数出力を復号する簡単なデコーダ回路112及び114とを含む。



【特許請求の範囲】

- 【請求項1】 コンピュータシステムであつて：
- 前記コンピュータシステムの処理を実行する中央演算処理装置、
 - 前記中央演算処理装置によって処理すべきデータと、前記データの処理のための前記中央演算処理装置において使用されるべき命令とを保有するメモリ、
 - 前記中央演算処理装置に付随して前記中央演算処理装置による前記メモリへのアクセスを制御するために、前記メモリに対してスリープモードを指示する信号を発生するメモリコントローラ、及び
 - メモリセルのアレイを含むダイナミックランダムアクセスメモリ部を有する前記メモリであつて、前記セルがダイナミック型のものであり前記セル中に記憶されているデータを保持するために一定の頻度でセルをグループ毎にリフレッシュすることが必要なものであり、前記ダイナミックランダムアクセスメモリ部が前記メモリセルのリフレッシュをサポートするために動作することが必要な第1の回路群と前記メモリセルのリフレッシュの間に電力を取り去っても構わない第2の回路群を含み、前記ダイナミックランダムアクセスメモリ部が更にスリープモードを指示する信号に応答して前記第1の回路群を本質的にセルの1グループのリフレッシュ時のみに動作させ、前記第2の回路群から電力を取り去ることによって前記メモリセルのセルフリフレッシュを実現するように動作するようになった前記メモリ、を含むコンピュータシステム。

【請求項2】 パーソナルコンピュータ中のデータを保持する方法であつて：

- 使用者からのスリープモードの指示を受信する工程、
- 前記スリープモードの間、データをパーソナルコンピュータのダイナミックランダムアクセスメモリ部中に保持する工程、
- 前記ダイナミックランダムアクセスメモリ部に対してスリープモードを実行すべきことを指示する信号を発生する工程、
- 前記ダイナミックランダムアクセスメモリ部に対してスリープモードを実行すべきことを指示する信号の生成に応答して、前記ダイナミックランダムアクセスメモリ部中のダイナミックメモリセルのセルフリフレッシュを実行する工程であつて、前記セルフリフレッシュの頻度を通常のリフレッシュ頻度よりも低減させる工程と、セルフリフレッシュを実行するために動作させることが要求される第1の回路群を本質的にメモリセルの行のリフレッシュ時に動作させる工程を含むセルフリフレッシュの実行工程、及び
- 前記ダイナミックランダムアクセスメモリ部に対してスリープモードを実行すべきことを指示する信号の生成に応答して、前記ダイナミックランダムアクセスメモリ部中に保持する工程、

リ部中に含まれてセルフリフレッシュの間は電力を取り去られても構わない第2の回路群から通常時に供給されている電力を取り去る工程、を含む方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はダイナミックランダムアクセスメモリ(DRAM)部品に関するものであり、更に詳細には電力を節約するために例えばIBM PCとコンパチブルな製品等のパーソナルコンピュータに使用できるDRAMに関するものである。

【0002】

【従来の技術】コンピュータは作業用メモリとしてDRAMを使用するのが一般的である。作業用メモリはその時点で演算処理装置(プロセッサ)が利用できるプログラムの格納、処理されるデータの格納、及び使用者に対して表示される情報の格納を提供する。DRAMは、その他の型のメモリ装置、例えば静态ランダムアクセスメモリ(SRAM)部品と比べてその速度と価格の点で優れているため、それに代わって上に挙げた用途に用いられている。

【0003】しかし、DRAMは記憶されているデータを保持し続ける目的で、それらのセル中に記憶されているデータビットを定期的にリフレッシュする必要がある。このリフレッシュはメモリコントローラの動作を通して発生する。このメモリコントローラは通常中央演算処理装置や他の用途のチップ等の別個の集積回路に組み込まれている。このメモリコントローラは規則的な間隔で以て各DRAM部のアレイ中のデータビット行にアクセスまたは番地指定を繰り返す。4メガDRAM部品では16ミリ秒毎に1024行がアクセスされるのが普通である。

【0004】このリフレッシュはいくつかの異なるやり方で実行される。RAS_のみによるリフレッシュでは行の番地指定を行うために活動的な低レベル状態にある行番地ストローブ(RAS_)のみを使用する。CAS_ビフォアRAS_前CAS_またはCBRリフレッシュではRAS_が低レベルのアクティブ状態になる前に列番地ストローブ(CAS_)をアクティブ低レベル状態におき、その後リフレッシュすべき各行の番地に対してRAS_をトグルする。

【0005】携帯用に設計されたパーソナルコンピュータでは電力消費を節約するために特別な要求がなされる。そのようなコンピュータは比較的重い電池から電力を取り出すのであるから、マシンを動作させるのに必要な電力量を減らすことは電池の寸法および重量を減らすことを意味する。このことはより望ましい製品につながる。

【0006】通常の使い方で、電源をオフする時は、パーソナルコンピュータはDRAM作業用メモリからデータをハードディスクまたはソフトディスクへ書き込むこ

とによってそれを保存する。もしデータがディスクへ保存されなければ、それはDRAMから電源が切断されることによって失われてしまう。後にパーソナルコンピュータの電源をオンして復帰させて処理を再開するためには、保存されていたデータをディスクからDRAM作業用メモリへ読み戻すことが必要である。データをディスクへ保存しそれを再び取り出して処理を再開するというこの通常の操作は、機械的なディスク駆動装置を操作することのために比較的大量の電力を消費するのである。

【0007】必要とされる電力を削減する1つの方法は、パーソナルコンピュータを確定的に、あるいはアイドリング状態から、または自動的エントリによっていわゆるスリープモードに設定することである。このモードではパーソナルコンピュータはデータをDRAM中に保持し電力はDRAMへ供給され続ける。DRAMが内部のセルフリフレッシュモードへ入ることによってリフレッシュが発生するが、この場合はリフレッシュはゆっくりした頻度で発生し、そのためDRAMによって消費される電力量は減少する。このことはディスク駆動装置を動作させるために必要な電力を節約するが、恐らく長時間に亘ってDRAM中にデータを保持するために掛かる電力の分はコストがかさむ。

【0008】IEEE Journal of Solid-State Circuitsの1990年10月号、第25巻、第5号に発表された小西(Y. Konishi)等による論文、"電池バックアップ(BBU)モードによる38ns 4メガビットDRAM(A 38-ns 4Mb DRAM with a Battery-Backup(BBU) mode)"は、極端に電力消費を節約した自動的データ保持を提供するBBUモードについて述べている。自動的データ保持はDRAMの内部で生成されるリフレッシュによって行われている。この極端に節約された電力消費は、リフレッシュ電流及びバックバイアス(back-bias)発生器電流の最小化の結果から得られている。

【0009】開示されているDRAMは、CASビフォアRAS_リフレッシュサイクルなしで16ミリ秒に亘ってCAS_が低レベルであるRAS前CAS(CBR)リフレッシュ指示を受け取ることによってBBUモードへ入る。このBBUモードはRAS_レベルに無関係にCAS_が低レベルである限り続く。BBUモードでの行リフレッシュは、CBRリフレッシュモードにおいても使用される内部リフレッシュ番地カウンタの使用を通して実現される。

【0010】BBUモードは、1つのサイクルで通常駆動される4個のアレイ駆動器の代わりに、1つのサイクルで4個のアレイ駆動器、ワードライン駆動器、のうちの1個のみを駆動することによってリフレッシュ電流を減らしている。周辺回路としても説明される各アレイ駆動器はこの結果、4サイクル毎に駆動されることにな

る。実効的に、BBUモードのターンアラウンドリフレッシュサイクルは4倍となり、平均的なリフレッシュサイクルは標準的なリフレッシュサイクルの4倍の長さになる。このことはBBUモードの1つのサイクルにおけるアレイ及びアレイ駆動器電流を従来のCBRモードで使用される電流の約4分の1に削減する。

【0011】BBUモードはバックバイアス発生器のデューティレシオ(duty ratio)を通常のモードの約8分の1に減らすことによってその電流を削減する。バックバイアス発生器はリフレッシュ要求信号によって決定されるリセット及びセンシング動作の間、機能する。

【0012】NECのuPD424xxxxメモリ部品に関するデータシートによると、引用された論文に開示されているBBUモードと同程度のCBRセルフリフレッシュサイクルが示されている。

【0013】

【発明の概要】本発明はDRAM部品における電力消費の削減を、電力管理回路の使用を通して付随するコンピュータシステム中で実現されるスリープモードの間に亘って達成する。前記電力管理回路は、格納されているデータの内部的またはセルフリフレッシュを実現するためにDRAM部に対して必要とされる第1の回路群中の電力を削減し、またDRAM部中のその他または第2の回路群によってセルフリフレッシュ中に消費される電力を削減または解消させる。

【0014】DRAM部中の電力管理回路はスリープモードを指示するパーソナルコンピュータ中の信号を認識する。それは典型的には約10マイクロ秒に亘ってRAS_サイクルが不在であることによって示されるCBRリフレッシュ信号である。スリープモード信号を認識すると直ちに、本電力管理回路は同一チップ上の発振器の周波数を低減し、DRAMの内部回路のいくつかから電力を取り去る。それらの内部回路には列データ経路、過電圧検出器、及びVbb検出器が含まれ得る。

【0015】スリープモード信号の認識の後ある程度の時間、典型的には100マイクロ秒間経つから、電力管理回路は特別なセルフリフレッシュプロセスを開始させ、それは各々の行リフレッシュの前と後とに特定のリフレッシュサポート回路をターンオン・オフさせる。これらのリフレッシュサポート回路はダミーセル基準電圧発生器、ピットライン基準電圧発生器、及びVbbポンプを含み得る。

【0016】本発明の電力管理回路は上記の特徴を簡単なカウンタ及びデコーダ回路によって実現する。カウンタ及び付随のデコーダ回路は中央演算処理装置からのスリープモード指示を認識するように動作し、所望の回路から電力を取り去るための特定の電力管理制御信号を発生させる。他の付随検出器回路は、データのリフレッシュとリフレッシュサポート回路のターンオン・オフとを

制御する他の電力管理制御信号を発生させる。

【0017】上記とは違う方法として、2つの別々のカウンタを使用することもできる。更に、本電力管理方式は通常の電力ラインから電源を取っているコンピュータに対しても同じように有効であり、電池で電源を供給されている用途に限定されない。

【0.01.8】

【実施例】図1において、コンピュータシステム20は中央演算処理ユニット22、キーボード制御24、ディスプレイ制御26、電源28、ダイナミックランダムアクセスメモリ(DRAM)30、ディスク駆動装置32、及びROM34を備えている。これらの互いに異なる部品はデータバス36、番地バス38、及び制御バス40を通して相互接続されている。キーボード制御24はリード44によってキーボード42へつながれ、またディスプレイ制御26はリード48によってディスプレイ46へつながれている。電源28は電池50設備を含むことができるが、プラグ52を使用してライン電源へ接続することもできる。

【0019】中央演算処理ユニット22はメモリコントローラ54を含む。DRAM30はセルフリフレッシュ及び電源管理回路56を含む。

【0020】図2において、DRAM30は行番地バッファ58及び列番地バッファ60中へ番地信号A0-A8を受信する。これらの番地信号は、タイミング及び制御ブロック62中へ受信される行番地ストローブ(低レベルアクティブ、RAS_)、上側列番地ストローブ(低レベルアクティブ、UCAS_)、及び下側列番地ストローブ(低レベルアクティブ、LCAS_)の制御信号を使用することによって番地バッファ中にラッチされる。リード63はブロック62からバッファ58及び60へ所望のタイミング及び制御信号を運ぶ。

【0021】データ信号DQ0-DQ17はリード64上をデータ入力レジスタ66及びデータ出力レジスタ68へ並列的に運ばれる。並列的な18個のデータ信号がリード70を通ってデータ入力レジスタ66から18個のI/Oバッファ72へ伝搬し、また並列的な18個のデータ信号がデータリード74を通って18個のI/Oバッファ72からデータ出力レジスタ68へ伝搬する。並列的な18個のデータ信号がリード78を通ってI/Oバッファ72から列デコーダ76へ伝搬する。I/Oバッファ72はまた、リード63上にタイミング及び制御ブロック62からのタイミング及び制御信号を受信する。列デコーダ76はリード80を通って列番地バッファ60から並列的に9個の番地信号を受信する。行デコーダ82はリード84上に行番地バッファ58から並列的に9個の番地信号を受信する。列デコーダ76及び行デコーダ82は、1ワード当たり18ビットの構成で262, 144(256K)ワードにまとめられた4, 718, 592データビットを含む全体アレイ86中の個

々のメモリセルを番地指定する。全体アレイ86はアレイ部分88等のアレイ部分を36個含み、各アレイ部分は128Kのデータビットを含む。行デコーダ82のそれぞの側に18個のアレイ部分が配置されている。アレイ部分中の選ばれたデータビット行からのデータ信号はセンス増幅器90を経て列デコーダ76へ伝搬する。

【0.02.2】タイミング及び制御ブロック62へつながれる書き込み(低レベルアクティブ、W_)及び出力イネーブル(低レベルアクティブ、OE_)の制御信号は全体アレイ86との間のデータ信号の書き込み及び読み出しを指示及び制御する。

【0023】本文中に信号を表す記号の後にアンダーラインが続いているのはその信号のアクティブな低レベル状態を示していることを注意しておく。このことは、アクティブ低レベルを示すために図面ではオーバーラインを使用するにしても、ワープロによる文書作成を容易にするであろう。

【0024】DRAM30はまた適正な動作のために必要とされる追加的なサポート回路を含む。それらには、電圧発生器92、クロック発生器94、電源オンリセット回路96、試験回路98、発振回路100、基板バイアス発生器102、Vbbポンプ回路104、電圧検出器106、及び本発明のセルフリフレッシュ及び電力管理回路56が含まれるが、それらに限定されない。

【0025】図3において、CBRまたはCAS_ビフォアRAS_前CAS_リフレッシュは、RAS_がアクティブ低レベルになる前に最初にCAS_がアクティブ低レベルになることによって発生する。RAS_が1024個の連続した行を番地指定するためにアクティブ低レベルと非アクティブ高レベルとの間でトグルしている間、CAS_はアクティブ低レベルに留まる。このリフレッシュモードにおいて、外部番地は無視され、リフレッシュ番地は内部的に生成される。図3は、アクティブ低レベルのCAS_の時にRAS_がアクティブ低レベルへ移行することによってCASビフォアRASのリフレッシュが開始されることを示している。

【0026】図4においては、CBRリフレッシュはその通常のやり方で開始されるが、信号RAS_は活動的な低レベルに留まっている。CBRリフレッシュモードにおける信号RAS_の1サイクルよりも長く設定される。本発明の機能はCBRリフレッシュの開始後T2の時点でメモリアレイ全体のセルフリフレッシュを開始させる。時間T2は典型的には100マイクロ秒である。本発明の機能は信号RAS_が非アクティブ高レベル状態へ移行することにより電力管理及びセルフリフレッシュサイクルもしくはモードを抜け出す。

【0027】図5において、電力管理回路56はリード110上に高/低周波数発振器100からのクロック信

号を受信し、出力Q1-Q7上へ2進数計数値を発生させるカウンタ108を含む。電力管理の検出及びラッチ112とセルフリフレッシュ回路オン・オフデコーダ114との両方がこれらの2進数計数値Q1-Q7を受信する。2進数計数値Q7は内部RAS発生器116への入力クロック及びリフレッシュ周波数信号としても働く。

【0028】セルフリフレッシュ回路オン・オフデコーダ114は、セルフリフレッシュのために必要な回路群または第1の回路群120へのオン・オフ信号をリード118上へ発生させる。この回路群にはダミーセル基準電圧発生器122、ピットライン基準電圧発生器124、及びVbbポンプ104が含まれる。電力管理の検出及びラッチ回路112は、スイッチ132、内部RAS発生器116、及び高/低周波数発振器100へつながるリード130上へセルフリフレッシュ信号を発生させる。スイッチ132は、セルフリフレッシュのために不必要的回路群または第2の回路群134に対してVddまたはVssを供給することを制御する。セルフリフレッシュのために不必要的回路群134には、浅いVbb検出器136、深いVbb検出器138、過電圧検出器140、及び全体アレイ中の列経路142が含まれる。

【0029】内部RAS発生器116はリード144上へ内部的なRAS_信号を発生させる。この内部的なRAS_は各リフレッシュサイクルにおいて行ライン駆動を実現する。

【0030】セルフリフレッシュイネーブル及びリセット_回路146は、リード150上に外部RAS_信号、リード152上にRLCBR、そしてリード154上に電源オンリセット信号POR_を受信することに応答して、リード148上ヘイネーブル/リセット_信号を発生させる。リード148上のイネーブル/リセット_信号は、低レベル状態においてカウンタ108と電力管理の検出及びラッチ回路112をリセットし、また高レベル状態においてそれらの動作を許可する。

【0031】リード130上のセルフリフレッシュ信号はこのリフレッシュ指示がある間、発振器100に低周波数でクロック信号を発生させる。

【0032】図6において、カウンタ108は7個のフリップフロップ602-616を備えている。フリップフロップ602の入力はVddへつながれ、他方それに引き続くフリップフロップはそれぞれ先行するフリップフロップの出力へつながれている。クロック110は各フリップフロップのクロック入力へつながれ、リード148上のイネーブル/リセット_信号はリセット入力すべてへつながれている。この実施例でセルフリフレッシュイネーブル及びリセット_回路146は2個のインバータ620及び622と1個のANDゲート624を備えている。

【0033】図7において、スイッチ132はリード1

30上にセルフリフレッシュ信号を受信し、それをPチャネルトランジスタ702及びNチャネルトランジスタ704のゲートへ供給する。トランジスタ702及び704はMOS電界効果トランジスタであり、ここではドレインとソースとは相互に入れ換えることができるものとして説明する。トランジスタ702はその1つのソース/ドレインをVddへつながれ、他方をリード7-0-6を通してセルフリフレッシュのために不必要的回路群へつながれている。トランジスタ704もそのソース/ドレインの1つをVssへつながれ、他方をリード706を通してセルフリフレッシュに不必要的回路群134へつながれている。これらのセルフリフレッシュのために不必要的回路群134の反対側はリード707を通してVssへつながれている。このようにして、スイッチ132はセルフリフレッシュのために不必要的回路群134への電力供給を完全に停止し、従ってこれらの回路では電力を使用することができない。特に、セルフリフレッシュのために必要でないまたは不必要的回路には、浅いVbb検出器136、深いVbb検出器138、過電圧検出器140、及び列経路142が含まれる。

【0034】図8において、リード118上のオン・オフ信号とクロック信号110とはNANDゲート802へ供給されて、Vbbポンプ104へつながるリード804上へVbbポンプ信号を発生させる。これはVbbポンプの動作をオン・オフ信号とクロック信号との作用によって制御する。

【0035】図9において、内部RAS_信号はリフレッシュ周期毎にリフレッシュパルスを発生させる。リフレッシュパルスによって時間的に位置づけられて、オン・オフ信号がアクティブ高レベル信号を発生させ、それはそれぞれ低レベル及び高レベルへ移行するリフレッシュパルスに相対的に個々にプログラム可能な時点でターンオン・オフする。内部RAS発生器は2進数計数信号Q7からの2進数計数値によって順次的に内部RAS_信号を発生させてるので、前記オン・オフ信号はリフレッシュパルスに相対的に位置づけることができる。セルフリフレッシュ回路のオン・オフデコーダ114中での復号を変更することによって、オン及びオフの信号端は所望のようにプログラム可能である。クロック信号もまたリフレッシュパルスと時間的に関連付けられて発生し、従ってVbbポンプ信号はオン・オフ信号とクロック信号との組み合わせであるので、Vbbポンプ信号は内部RAS_信号によって決定されるリフレッシュパルスの前後のアクティブポンプ状態を示す。Vbbポンプ信号はリフレッシュ信号の間に非アクティブポンプ状態を示している。これはVbbポンプを1行のデータセルのリフレッシュの前後で1回ずつ動作させる。もし必要であれば、適当なゲート入力を用いてVbbポンプをリフレッシュパルスの前後にそれぞれ2回以上駆動すること

も可能である。

【0036】図10において、セルフリフレッシュ回路オン・オフデコーダ114は信号Q1-Q7の2進数計数値を受信し、リード118上へオン・オフ信号を発生させる。スイッチ1002から1014はそれぞれ2進数信号Q7-Q1とVddとへつながれる。スイッチ1016-1028はそれぞれ2進数信号Q1-Q7とVssとへつながれる。スイッチ1002-1028は必要であればDRAM30と同じ集積回路上へ形成することができ、望ましくはヒューズまたは溶融する連結によって形成される。反ヒューズ(antifuse)もまた使用できる。リードのVdd、Vssまたは2進数計数値Q1-Q7への接続はオン・オフ信号118の選ばれたタイミングを決定する。スイッチ1002-1014からの出力はNANDゲート1030、インバータ1032、及びNANDゲート1034を経て伝搬し、NANDゲート1036のY入力を形成する。スイッチ1016-1028の出力は、インバータ1040、NANDゲート1042、インバータ1044、及びNANDゲート1046を経てへ伝搬し、インバータ1036へのX入力を形成する。

【0037】図11において、電力管理の検出及びラッチ回路112は2進数計数値Q1-Q7を受信してリード130上へセルフリフレッシュ信号を発生させる。回路112はそれぞれ2進数計数値Q1-Q7へつながれたスイッチ1102-1114を含む。スイッチ1102-1114もまたDRAM30の半導体材料中に溶融可能な連結または反ヒューズとして形成することが可能である。それらは各々Vddへもつながれている。スイッチ1102-1114の出力は、NANDゲート1120、インバータ1122、及びNANDゲート1124を経て伝搬し、ラッチ1126へのセット入力を形成する。リード148上のイネーブル/リセット信号がラッチ1126へのリセット入力を供給する。ラッチ1126の出力はリード130上へのセルフリフレッシュ信号を形成する。

【0038】開示された本発明はこのように、パソコン用コンピュータがスリープモードに入るかスリープモードに設定された時またはその期間中に、パソコン用コンピュータ中のデータを保持する処理を備えている。このことによりデータをディスクへ保存する必要がなくなる。本処理は使用者のスリープモード指示を受信することを含み、それは使用者の方からボタンやスイッチを押すという確定的な動作であってもよいが、一定の時間に亘ってその携帯用コンピュータが使用されないという受動的な動作であってもよい。このようにして、このパソコン用コンピュータは、そのダイナミックランダムアクセスメモリ部に記憶されているすべてのデータをスリープモードの間保持しておくことができる。このことでデータをディスクへ移動させることが不要になる。

【0039】内部的にメモリコントローラを使用しているパソコン用コンピュータはダイナミックランダムアクセスメモリ部に対してスリープモードを起動すべきことを指示する信号を発生させる。このスリープモード信号に応答してダイナミックランダムアクセスメモリ部は電力管理回路の動作によって内部的に制御されるダイナミックメモリセルのセルフリフレッシュを実行する。

【0040】このセルフリフレッシュは、電力管理回路が内部の発振器の周波数を低減することのために通常のリフレッシュ頻度よりも低速で発生する。電力管理回路はまた、セルフリフレッシュを実現するために動作する必要のある第1の回路群を本質的にメモリセルの1つの行のリフレッシュ時にのみ動作させる。電力管理回路はまた、通常時に供給される電力をダイナミックランダムアクセスメモリ部の第2の回路群から取り去る。この第2の回路群は動作する必要のないもので、メモリセルの行リフレッシュの間には電力を取り去られても構わない。

【0041】以上説明してきた本発明はここに既述した詳細とは異なる方法で実行することが可能である。例えば、同一チップ上の発振器の周波数を低減し、セルフリフレッシュのために必要でないDRAMの内部回路のいくつかから電力を取り去るために異なる計数及び復号の方式を採用してもよい。各行のリフレッシュの前後に特定のリフレッシュサポート回路をターンオン・オフさせる特別なセルフリフレッシュ処理を別のやり方で実現する別の実施例も可能である。更に、10マイクロ秒や100マイクロ秒といった時間の長さも異なる実施例では要求される長さに変更することができる。

【0042】更に、本発明はワード当たり18データビットで256Kワードを供給するように構成された4Mビットのメモリアレイを有するDRAMに関連して説明してきた。特許請求される本発明は、本特許請求の範囲に包含されるその他の寸法及び構成のアレイを使用してもよい。

【0043】以上の説明に関して更に以下の項を開示する。

(1) コンピュータシステムであつて：

- A. 前記コンピュータシステムの処理を実行する中央演算処理装置、
- B. 前記中央演算処理装置によって処理すべきデータと、前記データの処理のための前記中央演算処理装置において使用されるべき命令とを保有するメモリ、
- C. 前記中央演算処理装置に付随して前記中央演算処理装置による前記メモリへのアクセスを制御するために、前記メモリに対してスリープモードを指示する信号を発生するメモリコントローラ、及び
- D. メモリセルのアレイを含むダイナミックランダムアクセスメモリ部を有する前記メモリであつて、前記セルがダイナミック型のものであり前記セル中に記憶されて

いるデータを保持するために一定の頻度でセルをグループ毎にリフレッシュすることが必要なものであり、前記ダイナミックランダムアクセスメモリ部が前記メモリセルのリフレッシュをサポートするために動作することが必要な第1の回路群と前記メモリセルのリフレッシュの間に電力を取り去っても構わない第2の回路群とを含み、前記ダイナミックランダムアクセスメモリ部が更にスリープモードを指示する信号に応答して前記第1の回路群を本質的にセルの1グループのリフレッシュ時にのみ動作させ、前記第2の回路群から電力を取り去ることによって前記メモリセルのセルフリフレッシュを実現するように動作するようになった前記メモリ、を含むコンピュータシステム。

【0044】(2) 第1項記載のコンピュータシステムであって、前記セルのグループがセルの1つの行であるコンピュータシステム。

【0045】(3) 第1項記載のコンピュータシステムであって、前記第1の回路群がダミーセル基準電圧発生器回路を含んでいるコンピュータシステム。

【0046】(4) 第1項記載のコンピュータシステムであって、前記第1の回路群がビットライン基準電圧発生器回路を含んでいるコンピュータシステム。

【0047】(5) 第1項記載のコンピュータシステムであって、前記第1の回路群がV_{bb}ポンプ回路を含んでいるコンピュータシステム。

【0048】(6) 第1項記載のコンピュータシステムであって、前記第2の回路群が深いV_{bb}検出器回路を含んでいるコンピュータシステム。

【0049】(7) 第1項記載のコンピュータシステムであって、前記前記第2の回路群が深いV_{bb}検出器回路を含んでいるコンピュータシステム。

【0050】(8) 第1項記載のコンピュータシステムであって、前記第2の回路群が過電圧検出器回路を含んでいるコンピュータシステム。

【0051】(9) 第1項記載のコンピュータシステムであって、前記第2の回路群が列経路回路を含んでいるコンピュータシステム。

【0052】(10) 第1項記載のコンピュータシステムであって、前記電力管理回路が、2進数信号を発生させる2進数カウンタ、第1及び第2のデコーダ回路であって両方が前記2進数信号を復号させ、また各々がそれぞれの出力信号を発生させる第1及び第2のデコーダ回路、及び2重周波数発振器であって前記2進数カウンタへ供給するクロック信号を発生させ前記2重周波数の1つを指示する前記第2のデコーダ回路の出力信号を受信する2重周波数発振器を含んでおり、前記第1のデコーダ回路の出力が前記第1の回路群を制御し、前記第2のデコーダ回路の出力が前記第2の回路群を制御するコンピュータシステム。

【0053】(11) 第1項記載のコンピュータシステ

ムであって、前記電力管理回路がアクティブ状態のRASの不在によってCBRリフレッシュを認識してから約10マイクロ秒後に前記第2の回路群から電力を取り去るようになったコンピュータシステム。

【0054】(12) 第1項記載のコンピュータシステムであって、前記電力管理回路がアクティブ状態のRASの不在によってCBRリフレッシュを認識してから約100マイクロ秒後、前記メモリセルのリフレッシュをサポートするための前記第1の回路群を動作させるようになったコンピュータシステム。

【0055】(13) 第1項記載のコンピュータシステムであって、前記電力管理回路がメモリセルの前記グループをリフレッシュするための内部的リフレッシュパルスを発生させるようになっており、また前記電力管理回路が前記内部的リフレッシュパルスの前後に各1度V_{bb}ポンプ信号を発生させるようになったコンピュータシステム。

【0056】(14) 第1項記載のコンピュータシステムであって、前記前記電力管理回路がメモリセルの前記グループをリフレッシュするための内部的リフレッシュパルスを発生させるようになっており、また前記電力管理回路がセルのグループをリフレッシュするための内部的リフレッシュパルスの前後にそれぞれ選択的に前記第1の回路群を動作させるようになったコンピュータシステム。

【0057】(15) 第1項記載のコンピュータシステムであって、前記前記第2の回路群がV_{dd}とV_{ss}の電源リード間に接続されており、前記電力管理回路が前記第2の回路群のうちの各回路から電力を取り去るようV_{dd}接続を別のV_{ss}電源リードへ切り替えるためのスイッチ回路を各々の第2回路に関して有しているコンピュータシステム。

【0058】(16) 第1項記載のコンピュータシステムであって、前記コンピュータシステムがキーボード制御回路、ディスプレイ制御回路、ディスク駆動回路、及び前記中央演算処理ユニットと前記メモリ回路へつながれたROM回路を含んでいるコンピュータシステム。

【0059】(17) セルフリフレッシュモードを備えたダイナミックランダムアクセスメモリ部であって：

A. 行と列をなして互いに接続されたセルのサブアレイの形に構成されて、記憶されたデータの保持のためにリフレッシュを必要とするダイナミックメモリセルの全体アレイ、

B. 前記セルのアレイへつながれて、前記メモリセルのリフレッシュをサポートするために動作することが要求される第1の回路群、

C. 前記セルのアレイへつながれて、前記メモリセルのリフレッシュの間は電力を取り去られても構わない第2の回路群、及び

D. 前記第1と第2の回路群へつながれて、本質的にセ

ルの1つの行のリフレッシュ時に前記第1の回路群を動作させ、前記第2の動作群からは電力を取り去ることによって前記メモリセルのセルフリフレッシュを実現するための電力管理回路、を含むダイナミックランダムアクセスメモリ部。

【0060】(18) 第17項記載のメモリ部であって、前記第1の回路群がゲミーセル基準電圧発生器回路を含んでいるメモリ部。

【0061】(19) 第17項記載のメモリ部であって、前記第1の回路群がピットライン基準電圧発生器回路を含んでいるメモリ部。

【0062】(20) 第17項記載のメモリ部であって、前記第1の回路群がVbbポンプ回路を含んでいるメモリ部。

【0063】(21) 第17項記載のメモリ部であって、前記第2の回路群が浅いVbb検出器回路を含んでいるメモリ部。

【0064】(22) 第17項記載のメモリ部であって、前記第2の回路群が深いVbb検出器回路を含んでいるメモリ部。

【0065】(23) 第17項記載のメモリ部であって、前記第2の回路群が過電圧検出器回路を含んでいるメモリ部。

【0066】(24) 第17項記載のメモリ部であって、前記第2の回路群が列経路回路を含んでいるメモリ部。

【0067】(25) 第17項記載のメモリ部であって、前記電力管理回路が、2進数信号を発生させる2進数カウンタ、第1及び第2のデコーダ回路であって両方が前記2進数信号を復号させ、また各々がそれぞれの出力信号を発生させる第1及び第2のデコーダ回路、及び2重周波数発振器であって前記2進数カウンタへ供給するクロック信号を発生させ前記2重周波数の1つを指示する前記第2のデコーダの出力信号を受信する2重周波数発振器を含んでおり、前記第1のデコーダ回路の出力が前記第1の回路群を制御し、前記第2のデコーダ回路の出力が前記第2の回路群を制御するメモリ部。

【0068】(26) 第17項記載のメモリ部であって、前記電力管理回路がアクティブ状態のRAS_の不在によって前記メモリ部へ供給されるCBRリフレッシュを認識してから約10マイクロ秒後に前記第2の回路群から電力を取り去るようになったメモリ部。

【0069】(27) 第17項記載のメモリ部であって、前記電力管理回路がアクティブ状態のRAS_の不在によって前記メモリ部へ供給されるCBRリフレッシュを認識してから約100マイクロ秒後、前記メモリセルのリフレッシュをサポートするための前記第1の回路群を動作させるようになったメモリ部。

【0070】(28) 第17項記載のメモリ部であって、前記電力管理回路がメモリセルの前記行をリフレッ

シュするための内部的リフレッシュパルスを発生させるようになっており、また前記電力管理回路が前記内部的リフレッシュパルスの前後に各1度Vbbポンプ信号を発生させるようになったメモリ部。

【0071】(29) 第17項記載のメモリ部であって、前記前記電力管理回路がメモリセルの前記行をリフレッシュするための内部的リフレッシュパルスを発生させるようになっており、また前記電力管理回路がセルのグループをリフレッシュするための内部的リフレッシュパルスの前後にそれぞれ選択的に前記第1の回路群を動作させるようになったメモリ部。

【0072】(30) 第17項記載のメモリ部であって、前記前記第2の回路群がVddとVssの電源リード間に接続されており、前記電力管理回路が前記第2の回路群のうちの各回路から電力を取り去るようにVdd接続を別のVss電源リードへ切り替えるためのスイッチ回路を各々の第2回路に関して有しているメモリ部。

【0073】(31) パーソナルコンピュータ中のデータを保持する方法であって：

- A. 使用者からのスリープモードの指示を受信する工程、
- B. 前記スリープモードの間、データをパーソナルコンピュータのダイナミックランダムアクセスメモリ部中に保持する工程、
- C. 前記ダイナミックランダムアクセスメモリ部に対してスリープモードを実行すべきことを指示する信号を発生させる工程、
- D. 前記ダイナミックランダムアクセスメモリ部に対してスリープモードを実行すべきことを指示する信号の生成に応答して、前記ダイナミックランダムアクセスメモリ部中のダイナミックメモリセルのセルフリフレッシュを実行する工程であって、前記セルフリフレッシュの頻度を通常のリフレッシュ頻度よりも低減させる工程と、セルフリフレッシュを実行するために動作させることが要求される第1の回路群を本質的にメモリセルの行のリフレッシュ時に動作させる工程を含むセルフリフレッシュの実行工程、及び

E. 前記ダイナミックランダムアクセスメモリ部に対してスリープモードを実行すべきことを指示する信号の生成に応答して、前記ダイナミックランダムアクセスメモリ部中に含まれてセルフリフレッシュの間は電力を取り去られても構わない第2の回路群から通常時に供給されている電力を取り去る工程、を含む方法。

【0074】(32) 第31項記載の方法であって、前記セルフリフレッシュの頻度を低減する工程が前記メモリ部中の発振器の周波数を低減することを含んでいる方法。

【0075】(33) 第31項記載の方法であって、前記第1の回路群を動作させる工程が前記メモリセルの行のリフレッシュの前後にそれぞれ1度Vbbポンプを動

作させ、リフレッシュの間には動作させないことを含んでいる方法。

【0076】(34) 第31項記載の方法であって、前記電力を取り去る工程が前記列経路から電力を取り去ることを含んでいる方法。

【0077】(35) 第31項記載の方法であって、前記信号を発生させる工程が行番地ストローブが少なくとも10マイクロ秒間に亘って非アクティブであることにによってCBRリフレッシュ信号を発生させることを含んでいる方法。

【0078】(36) DRAM20は、セルフリフレッシュのために必要でないDRAM上の回路群134から電力を取り去り、セルフリフレッシュのために必要な他の回路群120をリフレッシュサイクルに時間的に相対的にターンオン・オフさせる電力管理回路56を備えている。前記電力管理回路56はカウンタ108と、前記カウンタの2進数出力を復号する簡単なデコーダ回路112及び114とを含む。

【図面の簡単な説明】

【図1】パーソナルコンピュータとして使用するように構成されたコンピュータシステムのブロック図。

【図2】本発明の電力管理回路を含むDRAMの内部回路のブロック図。

【図3】通常のCAS_ビフォアRAS_前CAS_リフレッシュサイクルのタイミング図。

【図4】本発明において使用されるスリープモードを指示する信号のタイミング図。

【図5】本発明の電力管理回路のブロック図。

【図6】本発明において使用されるセルフリフレッシュカウンタの回路図。

【図7】本発明において特定の回路から電力を取り去るために使用される回路。

【図8】本発明においてVbbポンプをターンオン・ターンオフするために使用される回路のブロック図。

【図9】Vbbポンプ回路をターンオン・ターンオフする本発明のプロセスを使用してDRAM中のデータのセルフリフレッシュを実現するために使用される信号のタイミング図。

【図10】本発明においてセルフリフレッシュを実現するために使用されるオン・オフコード回路の回路図。

【図11】本発明の電力管理の検出及びラッチ回路の回路図。

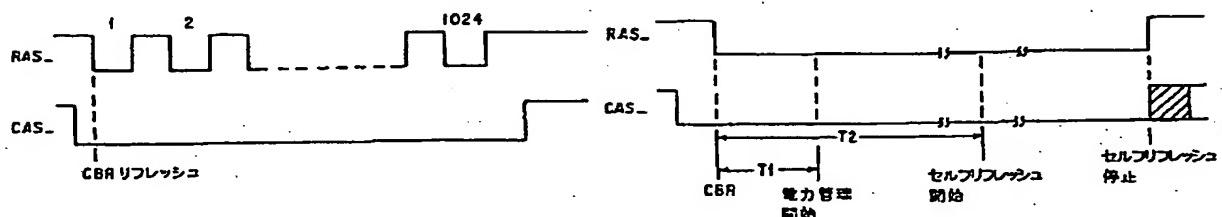
【符号の説明】

| | |
|----|-------------------------|
| 20 | コンピュータシステム |
| 22 | 中央演算ユニット |
| 24 | キーボード制御 |
| 26 | ディスプレイ制御 |
| 28 | 電源 |
| 30 | ダイナミックランダムアクセスメモリ(DRAM) |

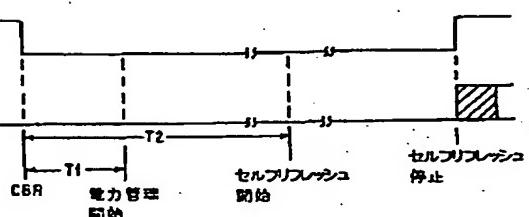
| | |
|-------|---------------------|
| 3 2 | ディスク駆動装置 |
| 3 4 | ROM |
| 3 6 | データバス |
| 3 8 | 番地バス |
| 4 0 | 制御バス |
| 4 2 | キーボード |
| 4 4 | リード |
| 4 6 | ディスプレイ |
| 4 8 | リード |
| 5 0 | 電池 |
| 5 2 | プラグ |
| 5 4 | メモリコントローラ |
| 5 6 | 電力管理回路 |
| 5 8 | 行番地バッファ |
| 6 0 | 列番地バッファ |
| 6 2 | タイミング及び制御ブロック |
| 6 3 | リード |
| 6 4 | リード |
| 6 6 | データ入力レジスタ |
| 6 8 | データ出力レジスタ |
| 7 0 | リード |
| 7 2 | I/Oバッファ |
| 7 4 | リード |
| 7 6 | 列デコーダ |
| 7 8 | リード |
| 8 0 | リード |
| 8 2 | 行デコーダ |
| 8 4 | リード |
| 8 6 | 全体アレイ |
| 8 8 | アレイ部分 |
| 9 0 | センス増幅器 |
| 9 2 | 電圧発生器 |
| 9 4 | クロック発生器 |
| 9 6 | 電源オンリセット回路(POR) |
| 9 8 | 試験回路 |
| 1 0 0 | 発振器回路 |
| 1 0 2 | 基板バイアス発生器 |
| 1 0 4 | Vbbポンプ回路 |
| 1 0 6 | 電圧検出器 |
| 1 0 8 | カウンタ |
| 1 1 0 | リード |
| 1 1 2 | 検出及びラッチ |
| 1 1 4 | セルフリフレッシュ回路オン・オフコード |
| 1 1 6 | 内部的RAS発生器 |
| 1 1 8 | リード |
| 1 2 0 | 第1の回路群 |
| 1 2 2 | ダミーセル基準電圧発生器 |
| 1 2 4 | ピットライン基準電圧発生器 |
| 1 3 0 | リード |

| | | | |
|----------|---------------------|-----------|-------------|
| 132 | スイッチ | 704 | Nチャネルトランジスタ |
| 134 | 第2の回路群 | 706, 707 | リード |
| 136 | 浅いVbb検出器 | 802 | NANDゲート |
| 138 | 深いVbb検出器 | 804 | リード |
| 140 | 過電圧検出器 | 1002-1028 | スイッチ |
| 142 | 列経路 | 1030 | インバータ |
| 144 | リード | 1032 | インバータ |
| 146 | セルフリフレッシュイネーブル/リセット | 1034 | NANDゲート |
| 回路 | | 1036 | NANDゲート |
| 148 | リード | 1040 | インバータ |
| 150 | リード | 1042 | NANDゲート |
| 152 | リード | 1044 | インバータ |
| 154 | リード | 1102-1114 | スイッチ |
| 602-616 | フリップフロップ | 1120 | NANDゲート |
| 620, 622 | インバータ | 1122 | インバータ |
| 624 | ANDゲート | 1124 | NANDゲート |
| 702 | Pチャネルトランジスタ | 1126 | ラッチ |

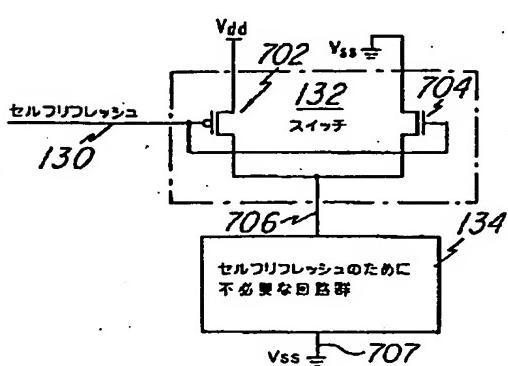
【図3】



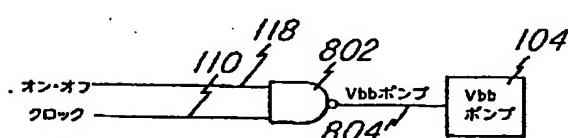
【図4】



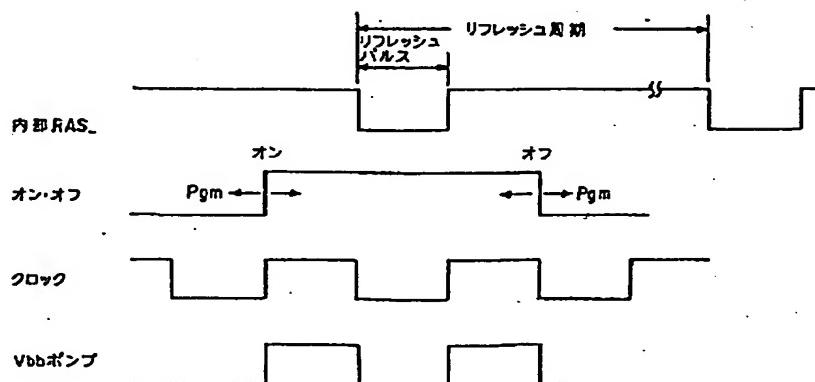
【図7】



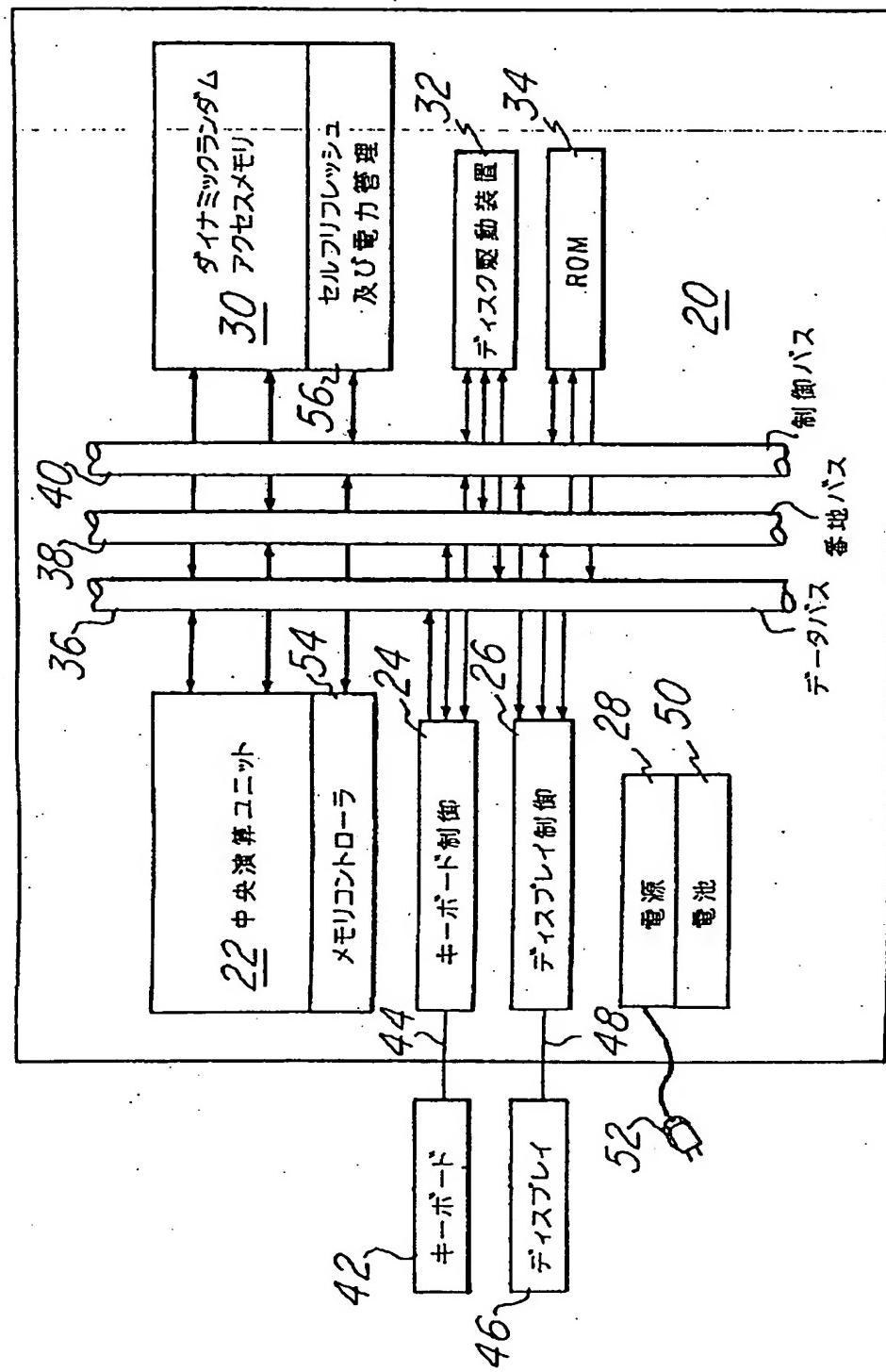
【図8】



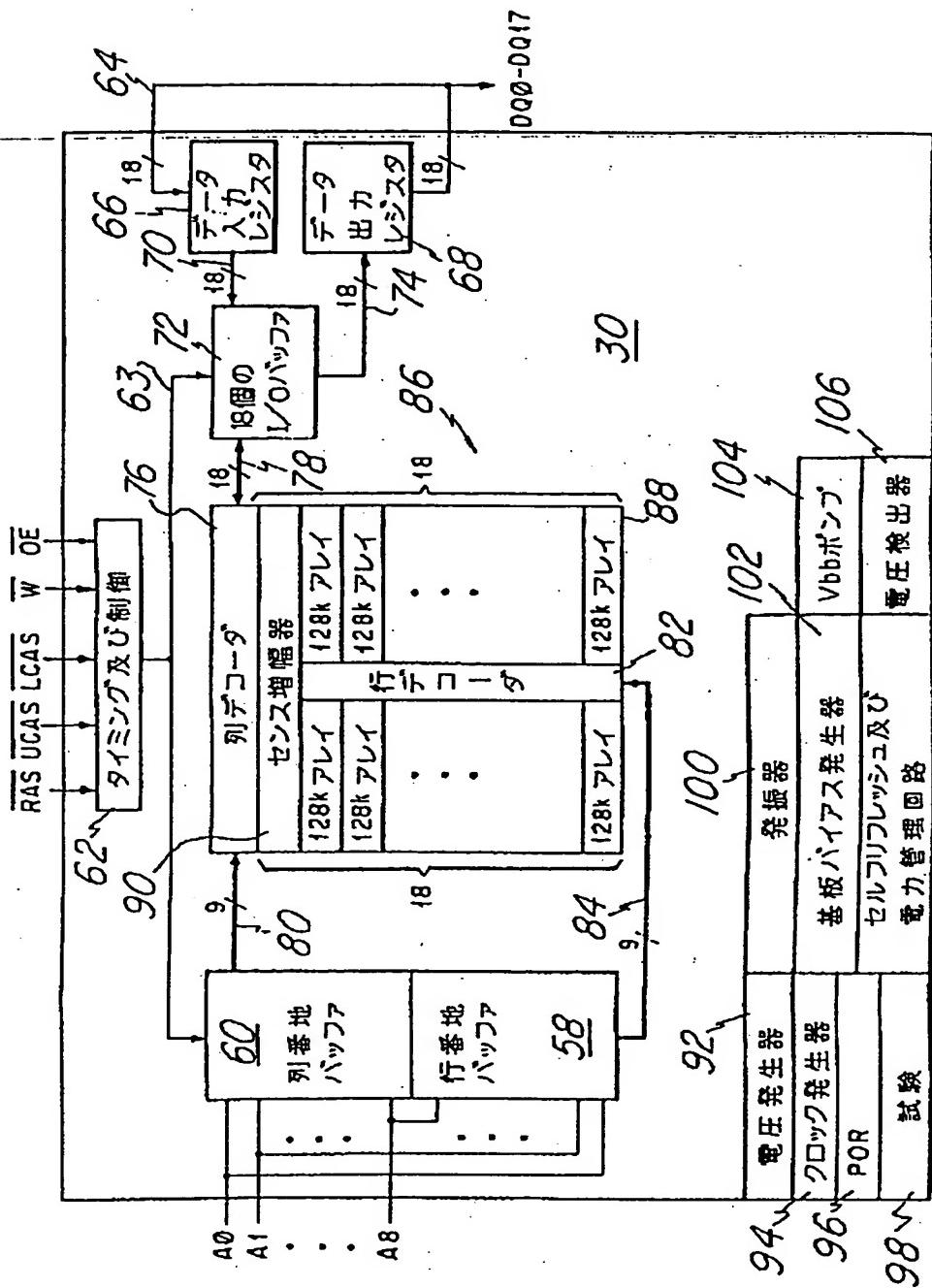
【図9】



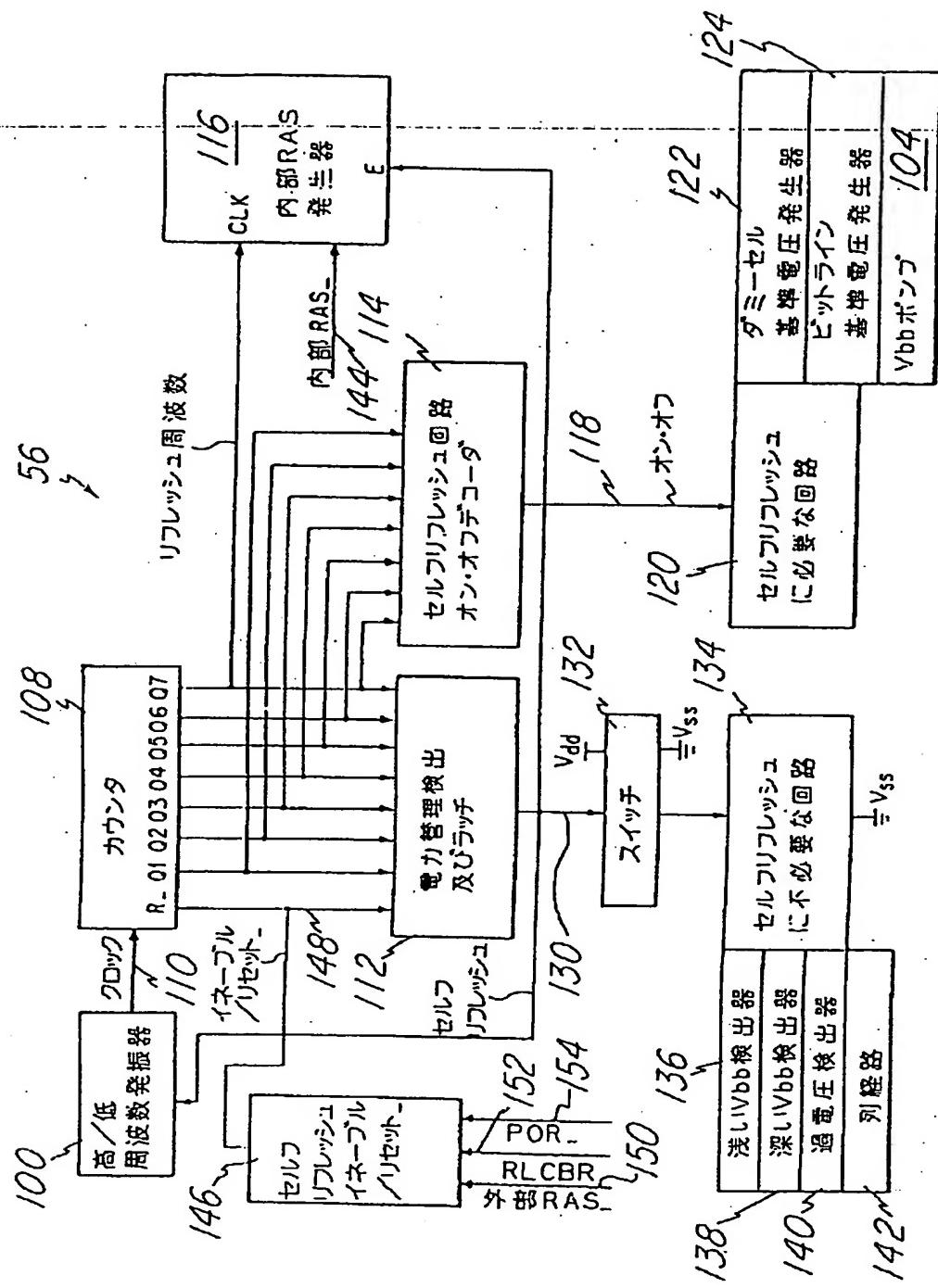
【図1】



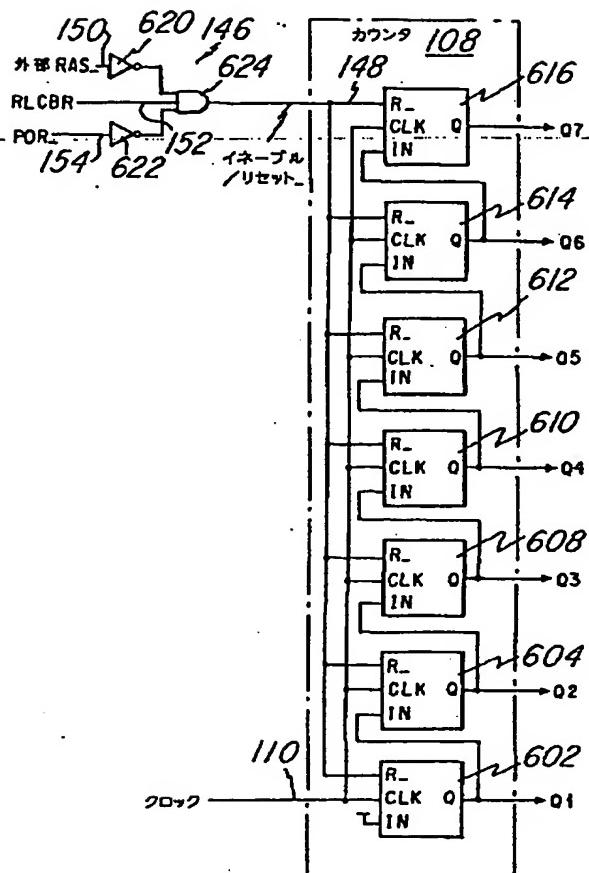
【図2】



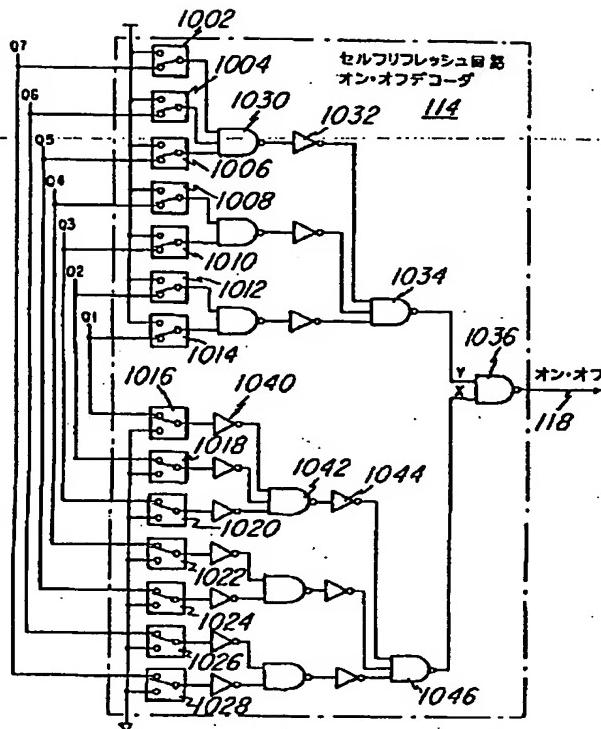
【図5】



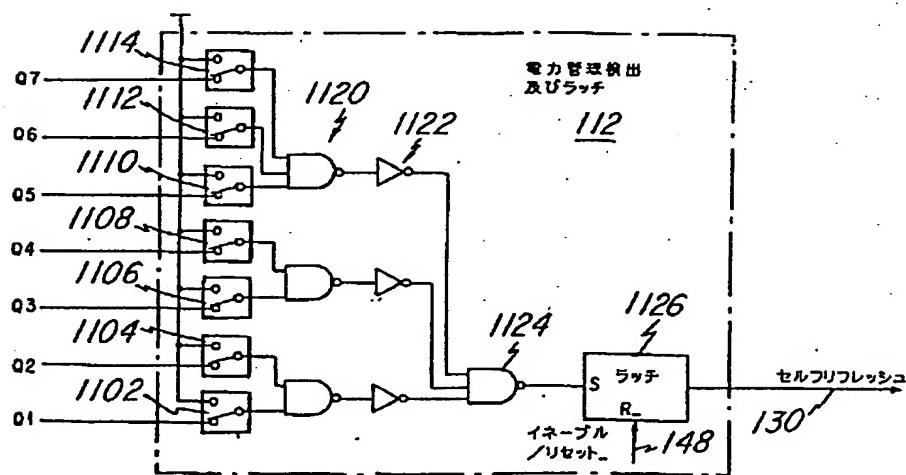
【図6】



【図10】



【図11】



フロントページの続き

(72)発明者 デビッド アール. ブラウン
アメリカ合衆国テキサス州シュガーラン
ド, レキシントン ブールバード 15700,
アパートメント ナンバー 318

(72)発明者 ジム シー. ツォ
アメリカ合衆国テキサス州シュガーラン
ド, フェザートン コート 2410